

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02336064 **Image available**

ACTIVE MATRIX SUBSTRATE HOUSED IN DRIVER

PUB. NO.: 62-252964 [JP 62252964 A]

PUBLISHED: November 04, 1987 (19871104)

INVENTOR(s): MATSUO MUTSUMI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
JP (Japan)

APPL. NO.: 61-096301 [JP 8696301]

FILED: April 25, 1986 (19860425)

INTL CLASS: [4] H01L-027/12; G02F-001/133; G09F-009/30; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

JOURNAL: Section: E. Section No. 602, Vol. 12, No. 127, Pg. 95, April
20, 1988 (19880420)

ABSTRACT

PURPOSE: To prevent dielectric breakdown of a thin film transistor in a driving circuit due to charge-up of electric charge to the surface at the time of ion implantation and the like, by shielding the driving circuits at the peripheral part by the interconnection of conductor films.

CONSTITUTION: Gate lines (G(sub 1)-G(sub m)) are timing lines. Source lines 2 (S(sub 1)-S(sub n)) are data lines. A thin film transistor 3 and a picture element electrode 4 are arranged at each intersection of the gate line 1 and the source line 2. Timing-line driving circuits 5 and data-line driving circuits 6 are formed. The driving circuits 5 and 6 are covered with interconnecting wires using the same material as that of the gate lines 1 and connected to the periphery of a transparent insulating substrate with the same material. Therefore, The thin film transistors in the driving circuits 5 and 6 are perfectly shielded. Thus dielectric breakdown due to ion implantation and the like is prevented.

Best Available Copy

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007354089

WPI Acc No: 87-351095/198750

**Active matrix substrate with driver - has thin film transistors provided
on insulating substrate, and conductive film surrounding transistor
driving circuit NoAbstract Dwg 3/3**

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 62252964 A		19871104	JP 8696301	A	19860425		198750 B

Priority Applications (No Type Date): JP 8696301 A 19860425

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 62252964 A			20			

Title Terms: ACTIVE; MATRIX; SUBSTRATE; DRIVE; THIN; FILM; TRANSISTOR;
INSULATE; SUBSTRATE; CONDUCTING; FILM; SURROUND; TRANSISTOR; DRIVE;
CIRCUIT; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

H01L-027/12; H01L-029/78

File Segment: EPI; EngPI

Best Available Copy

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-252964

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月4日

H 01 L 27/12
G 02 F 1/133
G 09 F 9/30
H 01 L 29/78

3 2 7

7514-5F
8205-2H
6866-5C
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ドライバー内蔵アクティブマトリックス基板

⑯ 特 願 昭61-96301

⑰ 出 願 昭61(1986)4月25日

⑱ 発 明 者 松 尾 隆 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発明の名称

ドライバー内蔵アクティブマトリックス基
板

2 特許請求の範囲

(1) 直交する複数本のデータ線と複数本のタイ
ミング線を有し、該データ線とタイミング線の交
差点に導膜トランジスターと該導膜トランジスタ
ーでスイッチする画素電極をもうけると共に、該
データ線とタイミング線の少なくとも一方の駆動
回路を同一の透明絶縁基板上に構成するドライ
バー内蔵アクティブマトリックス基板において、該
駆動回路を導電膜の配線で囲うと共に、該基板の
周辺にも導電膜をもうけ、前記配線と短絡するこ
とを特徴とするドライバー内蔵アクティブマトリ
ックス基板。

(2) 前記ドライバーを囲む配線層が駆動回路内
の導膜トランジスターのゲート配線層と同一層で

あることを特徴とする特許請求の範囲第1項記載
のドライバー内蔵アクティブマトリックス基板。

(3) 前記ドライバーを囲む配線層が画素電極ス
イッチ用導膜トランジスターのゲート配線層と同
一層であることを特徴とする特許請求の範囲第1
項記載のドライバー内蔵アクティブマトリックス
基板。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、透明絶縁基板上に導膜トランジスタ
を形成したドライバー内蔵アクティブマトリッ
クス基板の構造に関する。

〔従来の技術〕

近年、絶縁基板上に堆積した半導体薄膜を駆動
領域として用いたMOS型導膜トランジスターは
、液晶表示装置の画素の光スイッチとしてばかり
でなく、周辺の駆動回路も構成できるほどに性能
があがっている。しかし、絶縁基板を用いたデ

特開昭62-252964(2)

イスでは、絶縁基板表面に生じた電荷をいかに外部に放散して、薄膜トランジスタの絶縁破壊を防止するかが課題である。特に液晶表示装置のように、パネル表示部分の面積が大きいデバイスでは製造工事中での基板表面でのチャージアップをいかに防止するかが重要である。

第2図は、透明絶縁基板上にマトリクス状に配置された薄膜トランジスタと周辺駆動回路から構成された液晶表示用ドライバ内蔵アクティブマトリクス基板の模式図である。1(0、-0m)は、タイミング線となるゲート線、2(3、-5m)は、データ線となるソース線であり、3の薄膜トランジスタと4の画素電極は、ゲート線、ソース線の交点に配置されている。5は、タイミング線駆動回路、6はデータ線駆動回路であり、この図では両側駆動の場合を示している。

第3図は、前記模式図で構成された従来の液晶表示用ドライバ内蔵アクティブマトリクス基板の外周近傍の平面図(a)と断面図(b)であ

所の逃げ路がないため、薄膜トランジスタの絶縁破壊を生じやすい。そのため、イオン打込み時には、基板表面近傍で打込みイオンを熱電子により中性化する打込み方式を採用するのであるが、完全な中性化は難しく、外観上不明な程度の軽いダメージが発生する。特に、画素を駆動する薄膜トランジスタは、レーザー等を用いて、切断することによってその画素のみを犠牲にするだけすむ。ところが、周辺にある駆動回路部分の薄膜トランジスタは、1つでも不良があると動作不良をおこすという問題点を生ずる。そこで本発明は、このような問題点を解決するもので、その目的とするところは、薄膜トランジスタの絶縁破壊耐性を増加した周辺駆動回路を提供するところにある。

〔問題点を解決するための手続〕

本発明のドライバ内蔵アクティブマトリクス基板は、周辺駆動回路を導電膜の配線で囲うと共に、基板周辺にも導電膜領域をもうけ、両者を

る。透明絶縁基板7上に化学反応を媒介として結晶や非晶質を被着させるCVD法により、多結晶シリコン薄膜8を堆積させる。次に、多結晶シリコン薄膜のパターン形成を行なった後、ゲート絶縁膜9を形成し、その上に金属や多結晶シリコン薄膜を用いたゲート電極10及びゲート線1を駆動回路内を含めて同時形成する。次に、ゲート電極10とレジストをマスクに用いて、P型不純物イオンとN型不純物イオンを選択的にイオン打込みをしてP型とN型の薄膜トランジスタのソース・ドレイン領域を形成する。次に、層間絶縁膜11をCVD法により堆積し、コンタクトホールを開孔した後、透明導電膜を被着して、画素電極4を形成し金属を被着して、ソース線2及び、周辺のタイミング線駆動回路5とデータ線駆動回路6内の配線とする。

〔発明が解決しようとする問題点〕

しかし、前述の従来技術では、イオン打込みの工程で透明絶縁基板上にチャージアップされた電

荷を放散することを特徴とする。

〔作用〕

本発明の上記の構成によれば、駆動回路は、導電膜の配線でシールドされたことになり、大面積を占める表示部分からのチャージアップした電荷は基板周辺を接地することで外部に放散できるため駆動回路内の薄膜トランジスタのダメージをなくすることが可能である。

〔実施例〕

第1図は、本発明の実施例であり、液晶表示用ドライバ内蔵アクティブマトリクス基板の外周近傍の平面図である。第3図の従来例に比べて、駆動回路をゲート線と同一の材料を用いた配線で囲っておおっており、透明絶縁基板の周辺に同一材料で埋設しているため、駆動回路内の薄膜トランジスタは、完全にシールドされているのでイオン打込み等による絶縁破壊を十分防止することができる。駆動回路を囲んでいる配線は、本発

特開昭62-252964(3)

図例のように、ゲート線と同一材料にする必要はなく、異種の導電膜を用いても何らさしつかえない。配線膜は、十ミクロンメートルもとれば十分であり、占有面積も小さく、工費が抑えるわけではないので好都合である。

〔発明の効果〕

以上述べたように本発明によれば、周辺の駆動回路は導電膜の配線でシールドされたことになり、イオン打込み等の電荷の投与へのチャージアップによる駆動回路内の薄膜トランジスタの絶縁破壊を防止するという効果を有する。また酸素プラズマ等のクリーニング工程でも、ダメージ防止に役立つものである。

4. 図面の簡単な説明

第1図は、本発明の液晶表示用ドライバ内蔵アクティブマトリックス基板の外周近傍の平面図である。第2図は、液晶表示用ドライバ内蔵アクティブマトリックス基板の模式図である。第3

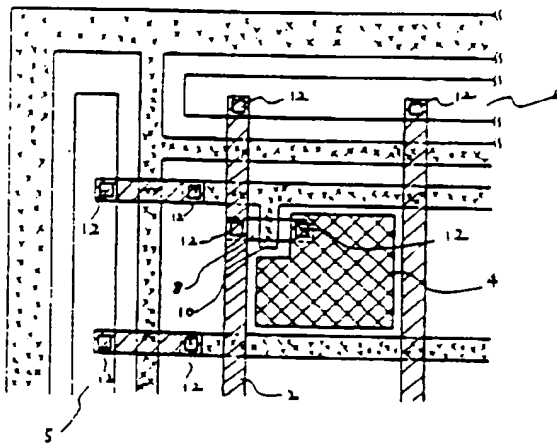
図は、従来の液晶表示用ドライバ内蔵アクティブマトリックス基板の外周近傍の平面図(4)と断面図(4)である。

- 1 …… ゲート線 (タイミング線)
- 2 …… ソース線 (データ線)
- 3 …… 薄膜トランジスタ
- 4 …… 配電電極
- 5 …… タイミング線駆動回路
- 6 …… データ線駆動回路
- 7 …… 透明絶縁基板
- 8 …… 多結晶シリコン薄膜
- 9 …… ゲート絶縁膜
- 10 …… ゲート電極
- 11 …… 層間絶縁膜
- 12 …… コンタクトホール

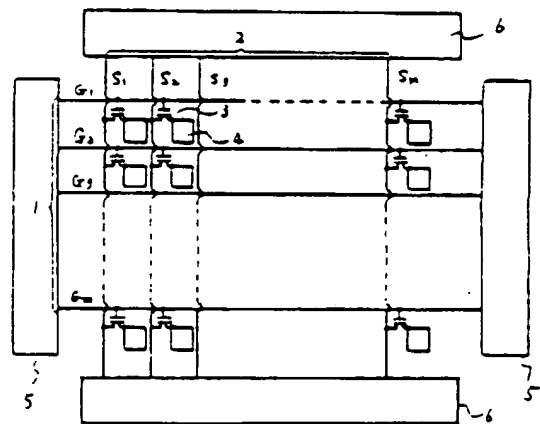
以 上

出 願 人 セイコーエプソン株式会社

代 理 人 弁 理 士 最 上 (他1名)

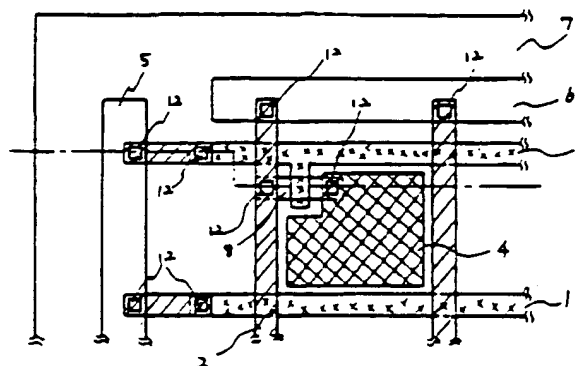


第 1 図

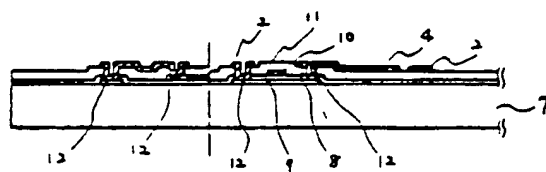


第 2 図

特開 62-252964 (4)



第 3 圖 (a)



第 3 区 (b)